

BREVET D'INVENTION

P.V. n° 821.554

Classification internationale : G 06 b — G 06 f

**Mécanisme de calcul pour l'addition et la soustraction de deux nombres décimaux.**

Entreprise dite : VEB ELEKTRONISCHE RECHENMASCHINEN WISSENSCHAFTLICHER INDUSTRIEBETRIEB KARL-MARX-STADT résidant en République Démocratique Allemande.

Demandé le 16 mars 1960, à 16^h 53^m, à Paris.

Délivré le 12 décembre 1960.

La présente invention a pour objet un mécanisme de calcul pour l'addition et la soustraction de deux nombres décimaux avec correction de la somme, formée dans un additionneur binaire, de deux nombres décimaux codés en tétrades, les chiffres décimaux, ainsi que les chiffres binaires des tétrades, étant introduits successivement dans le mécanisme de calcul.

Les difficultés de la réalisation des opérations de calcul dans une machine à calculer en série purement décimale réside dans la correction des tétrades additionnées. En effet, si on forme une somme supérieure à neuf de deux tétrades codées suivant le code direct, on établit dans l'additionneur binaire tout d'abord les combinaisons de tétrades pouvant aller jusqu'à quinze, ces combinaisons étant appelées pseudo-décimales. On ne peut prendre une décision en ce qui concerne la correction que lorsque les ordres binaires de la tétrade de somme sont sortis de l'additionneur. Le calcul normal d'une machine travaillant en série s'effectue de façon que les ordres binaires des opérateurs (terme additionné, terme à additionner, multiplicande, etc.) soient sortis des registres, par exemple d'accumulateurs à circulation, puis soient travaillés dans le mécanisme de calcul, l'ordre binaire du résultat rentrant de nouveau dans le mécanisme accumulateur. Les chiffres binaires suivants sont, en conséquence, soumis à la même opération. L'ordre binaire précédent est alors reporté dans l'accumulateur pour lequel on peut, par exemple, utiliser les voies d'un tambour magnétique connu et cet ordre binaire est, par suite, perdu pour le mécanisme de calcul. Mais s'il doit être conservé pour la continuation des opérations de calcul, il doit être accumulé entre temps dans un accumulateur spécial accessible en permanence. Ces accumulateurs sont constitués, entre autres, par des basculeurs bistables combinés en une chaîne. On connaît déjà une possibilité de correction permettant de former dans un additionneur binaire la tétrade de somme devant encore être corrigée, puis de faire passer cette tétrade dans une ligne à retard à partir de laquelle

les ordres binaires sont amenés, à la fin de la sortie de la tétrade, sous une forme parallèle dans un mécanisme compteur auxiliaire agissant sur un autre additionneur dans lequel entre la tétrade en vue d'être corrigée lorsqu'elle sort de la ligne à retard. Un inconvénient de ce montage est qu'il y a un mécanisme compteur auxiliaire pouvant être commandé suivant la nécessité de la correction et devant être contrôlé par des circuits de connexion logiques. Ce mécanisme compteur auxiliaire commandé est très compliqué. Un inconvénient bien plus important du montage de correction connu réside, en outre, dans le fait que l'on ne peut exécuter avec ce montage qu'une correction pour l'addition.

L'invention vise à créer un montage correcteur pour des mécanismes de calcul travaillant en série qui exécutent tant des additions qu'également des soustractions, tout en supprimant les inconvénients mentionnés. La solution conforme à l'invention consiste à effectuer la correction tétradique nécessaire tant en ce qui concerne l'addition qu'également en ce qui concerne la soustraction, à l'aide d'un soustracteur-additionneur principal binaire pouvant être commuté sélectivement sur addition ou sur soustraction, dans lequel on forme la somme, éventuellement encore à corriger, des deux tétrades de sortie, à l'aide d'un soustracteur-additionneur de même type pour l'addition et la soustraction de la valeur de correction avec la tétrade de somme sortant de l'additionneur principal, puis à l'aide de deux registres à décalage ou lignes à retard, dans lesquels entrent la tétrade corrigée et la tétrade non corrigée, et à l'aide d'un dispositif sélecteur qui fait un choix, une fois que la décision a été prise d'effectuer ou de ne pas effectuer la correction, en ce qui concerne le registre à décalage avec la tétrade de somme corrigée ou le registre à décalage avec la tétrade de somme non corrigée.

Suivant une autre caractéristique du mécanisme de calcul de l'invention utilisé dans des calculatrices électroniques de petites dimensions, la correction est effectuée tant pour l'addition qu'également pour la

soustraction, à l'aide d'un additionneur-soustracteur principal binaire qui peut être commuté à volonté sur addition ou sur soustraction et dans lequel on forme la somme binaire, devant éventuellement encore être corrigée, des deux chiffres décimaux des opérateurs, puis à l'aide d'un second additionneur-soustracteur simplifié pour l'addition ou la soustraction de la valeur de correction avec la tétrade de somme sortant de l'additionneur-soustracteur principal, une ligne à retard étant montée entre cet additionneur-soustracteur principal et l'additionneur-soustracteur de correction pour obtenir la valeur de la somme à corriger jusqu'à la décision de la correction, après quoi on fait un choix sur les termes corrects de la somme sortant directement de la ligne à retard ou ayant traversé l'additionneur de correction.

D'autres caractéristiques de l'invention ressortent, d'ailleurs, de la description détaillée qui suit et des dessins annexés représentant, à titre d'exemples non limitatifs, des formes de réalisation de l'objet de l'invention.

La fig. 1 est un schéma d'ensemble montrant le trajet des chiffres avec le dispositif de correction.

La fig. 2 représente un additionneur-soustracteur connu.

La fig. 3 représente un registre à décalage.

La fig. 4a illustre une forme de réalisation de l'ensemble du montage logique.

La fig. 4b représente une variante d'un détail de la fig. 4a.

La fig. 4c représente une variante d'un autre détail de la fig. 4a.

La fig. 5 est un schéma d'ensemble du montage de correction simplifié.

La fig. 6 illustre une forme de réalisation du montage de correction simplifié pour l'addition.

La fig. 7 représente un développement du mécanisme de correction pour la soustraction.

La fig. 8 illustre un circuit de conjonction ou de coïncidence connu.

La fig. 9 illustre un circuit de disjonction ou de réunion connu.

Il y a lieu d'additionner ou de soustraire deux tétrades x_1, x_2 . Les chiffres décimaux sont, par exemple, codés sous une forme binaire directe, c'est-à-dire sous la forme $z_i = x_i$ (z_i est le chiffre décimal et x_i le même chiffre codé dans le système binaire). La fig. 1 montre la façon dont les deux termes de la somme venant de deux voies d'accumulation à circulation 1 et 2 entrent dans l'additionneur-soustracteur 3, à savoir le terme additionné à l'entrée 4 de l'additionneur et le terme à additionner à l'entrée 5 de ce dernier. Pour la soustraction, le terme soustrait est amené à l'entrée 4 et le terme à soustraire est amené à l'entrée 5. Le résultat se présentant à la sortie 6 de l'additionneur est amené dans le registre à décalage 7 et dans l'additionneur-soustracteur de correction 8

comportant les entrées 9 et 10. La somme sortant de l'additionneur de correction par la sortie 11 parvient dans le registre à décalage 12. Un circuit de décision de correction 13 contrôle la tétrade de somme pour savoir si la correction doit ou ne doit pas être effectuée et agit sur un circuit sélecteur 14 qui sélectionne soit la tétrade de somme corrigée, soit la tétrade de somme non corrigée. L'additionneur 3 et l'additionneur de correction 8 sont, par exemple, des additionneurs binaires purs, conformément à la fig. 2. La somme de deux nombres binaires est donnée par la relation logique $a \cdot \bar{b} + \bar{a} \cdot b$, le signe \cdot étant le signe de la conjonction ou coïncidence (circuit « et »), le signe $+$ étant le signe de la disjonction ou réunion (circuit « ou ») et \bar{b} étant le signe pour la négation de b (circuit de négation ou de complémentarité).

Deux circuits « et » 15 et 16 à la fig. 2, qui sont représentés par des cercles dont l'intérieur est blanc, et un circuit « ou » 17, qui est représenté par un cercle noir, fournissent la somme partielle S_1 des deux termes binaires a et b . Les conjonctions $a \cdot b$ et $a \cdot \bar{b}$ peuvent également être utilisées pour la formation du report pendant la soustraction. Il est nécessaire d'avoir tant la somme partielle S_1 qu'également sa négation \bar{S}_1 . La somme partielle « barre » \bar{S}_1 est obtenue à partir de la somme partielle S_1 par intercalation du circuit de négation 18 à la fig. 2. En ce qui concerne les symboles représentés du montage, il y a encore lieu de mentionner que la sortie des circuits de connexion est toujours caractérisée par un point. Il faut, en outre, additionner le report \bar{u}_{n-1} provenant de l'ordre précédent à la somme partielle S_1 des deux nombres binaires. L'ordre binaire définitif de la somme n'est donc fourni que par la relation logique :

$$S = S_1 \cdot \bar{u}_{n-1} + \bar{S}_1 \cdot u_{n-1}$$

\bar{u}_{n-1} étant le report de l'ordre précédent. Le report est, par exemple, fourni par le basculeur 19 qui retarde ou décale ce report d'un ordre binaire. Pour la soustraction, la somme S est formée de la même façon, sauf que le report est produit d'une autre manière. Deux lignes de commande 20 et 21 donnent l'ordre s'il y a lieu d'effectuer une addition ou une soustraction. Pour l'addition, la ligne de commande 20 conduit une grandeur L correspondant au « un » binaire et la ligne de commande 21 conduit une grandeur O correspondant au « zéro » binaire. Pour la soustraction, c'est l'inverse qui se produit. Lorsque la ligne de commande 20 a conduit la grandeur L , la conjonction $a \cdot b$ fait fonctionner le basculeur de report et ne l'arrête que lorsqu'on a $\bar{a} \cdot \bar{b}$. À cet effet, on prévoit les circuits « et » 20. $a \cdot b$ et 20. $\bar{a} \cdot \bar{b}$. Lorsque la ligne de commande 21 conduit la grandeur L , le circuit 21. $\bar{a} \cdot b$ fait fonctionner le basculeur de report et le circuit 21. $a \cdot \bar{b}$ le remet hors d'action. Les deux circuits « et » pour chaque

endroit 22 et 23, ainsi que 24 et 25 du basculeur sont réunis par l'intermédiaire du circuit « ou » 26 ou 27 et sont reliés à l'entrée d'une porte à impulsions 28 ou 29. Si la porte présente à l'entrée la grandeur L et si l'impulsion de synchronisation *s* parvient comme condition supplémentaire à la porte en passant par l'entrée d'impulsions caractérisée par une flèche, le côté du basculeur, qui est relié à la sortie de la porte représentée par le point, est amené sur L. L'impulsion de synchronisation *s* apparaît au début de chaque durée des chiffres binaires et introduit, par suite, les grandeurs L ou O des chiffres. A titre d'exemple de réalisation pour la ligne à retard, on a représenté à la fig. 3 la chaîne à basculeur 34 et 35 devant être commutée avec des impulsions de synchronisation *s* par l'intermédiaire des portes 30, 31, 32 ou 33. Ces impulsions sont de durée très courte et ne durent qu'une fraction de la durée des chiffres. Chaque impulsion de synchronisation *s* transfère le contenu du basculeur précédent dans le basculeur suivant. Lorsque le basculeur 34 fournit à sa sortie 36 une grandeur de la valeur L et que le basculeur 35 présente à sa sortie 37 une grandeur de la valeur O, les termes « barre » de sortie $\overline{36}$ et $\overline{37}$ fournissent, en conséquence, les grandeurs O et L. On imprime ainsi à l'entrée un O avec $38 = O$ et $\overline{38} = L$ pour la durée nécessaire des chiffres binaires. En présence de l'impulsion de synchronisation *s* à la fin de cette durée des ordres binaires, les portes 31 et 32 sont, par suite, ouvertes, étant donné qu'il n'y a une grandeur de la valeur L qu'à leurs entrées. L'impulsion de synchronisation *s* arrête le basculeur 34 et fait fonctionner le basculeur 35, ce qui fait que L avance d'un élément. Pour décrire en détail le montage d'ensemble représenté à la fig. 4a, il faut tout d'abord indiquer dans quel cas une correction doit être effectuée et quelle valeur doit être incorporée par addition ou par soustraction.

Pour la mise en code directe, la correction est alors toujours nécessaire lorsque l'une des six pseudo-décimales suivantes :

(Voir exemple colonne ci-contre)

ou un report apparaît dans la tétrade suivante. Lors de l'addition, $5 + 5$ ne donnent pas un zéro comme somme et un un comme report dans l'ordre d'unité

$$\ddot{u}_{n(\text{tot.})} = a.b.20 + \bar{a}.b.21 + S_1.\ddot{u}_{n-1}.20 + \bar{S}_1.\ddot{u}_{n-1}.21$$

ce report total étant réalisé par quatre circuits « et » 39, 40, 42 et 43 qui sont réunis en un circuit quadruple « ou » 41. Les circuits peuvent, par exemple, être les circuits à diodes ou à redresseurs connus des fig. 8 et 9. Deux circuits « et » 42 et 43 servant au report ne sont que doubles, étant donné que $\bar{a}.b$ et $\bar{S}_1.\ddot{u}_{n-1}$ sont déjà nécessaires pour la formation de la somme. L'additionneur-soustracteur de correction est analogue à ce qui a déjà été décrit. On amène à

S ₁	S ₂	S ₃	S ₄
L	O	L	O
L	O	L	L
L	L	O	O
L	L	O	L
L	L	L	O
L	L	L	L

immédiatement supérieur, mais la pseudo-décimale donne dix = L O L O. Pour obtenir la valeur réelle un et zéro, il faut additionner plus six par voie binaire. Par exemple, plus neuf additionné par voie binaire tétradique fournit aussi un L comme tétrade de somme et un L comme report dans la tétrade suivante. Il y a également lieu d'additionner plus six. Pour la soustraction, sept moins neuf fournit par exemple une pseudo-décimale, à savoir quatorze = L L L O et un report dans l'ordre d'unité suivant. Il faut ici faire la correction avec moins six pour obtenir la valeur correcte de huit et un report. Le cas où le terme à soustraire est plus grand que le terme soustrait multiplié par six fournit seulement un report, mais non pas de pseudo-décimale. Dans ce cas aussi, il faut effectuer la correction avec moins six. On peut même dériver, par suite, pour la soustraction, une seule condition de correction, du fait qu'il faut toujours corriger avec moins six lorsqu'un report apparaît dans la tétrade suivante. La fig. 4a représente tout d'abord les deux additionneurs-soustracteurs binaires, le report étant toutefois produit d'une façon légèrement différente dans l'exemple de réalisation de l'additionneur de somme. Le report commandé pour l'addition est formé suivant la relation logique qui lui est applicable :

$$\ddot{u}_{n+} = a.b.20 + S_1.\ddot{u}_{n-1}.20$$

par deux circuits « et » triples 39 et 40 qui se réunissent en un circuit « ou » 41. La relation logique suivante :

$$\ddot{u}_{n-} = \bar{a}.b.21 + \bar{S}_1.\ddot{u}_{n-1}.21$$

est utilisable pour le report commandé lors de la soustraction. On obtient par suite le report total \ddot{u}_n (tot.) pour la somme et la différence :

l'entrée 44 de l'additionneur de correction depuis la centrale à impulsions un méandre de commande dont la forme est choisie de façon qu'il prenne la grandeur de commande O pendant deux durées des chiffres binaires. Cette succession se répète en permanence. Elle est produite dans la partie de commande non représentée, étant donné qu'elle est aussi nécessaire en d'autres endroits de la machine et qu'elle ne conduit, par suite, à aucune dépense sup-

plémentaire. En outre, les deux grandeurs de la valeur L doivent venir dans les deux rangs médians des chiffres de chaque tétrade et on reconnaît ainsi que l'on introduit par suite en continu la valeur de correction six dans l'additionneur-soustracteur, cette valeur étant additionnée pour l'addition, mais étant soustraite pour la soustraction de la manière produite par la commande sur les entrées 20 et 21. L'additionneur de correction est donc commandé exactement de la même façon que l'additionneur principal suivant l'opération effectuée. La tétrade de somme passe non seulement par l'additionneur de correction, mais aussi dans le registre à décalage 7. La tétrade de somme corrigée entre dans le registre à décalage 12. S_1, S_2, S_3 et S_4 sont les quatre chiffres de la tétrade de somme (S_4 ayant dans cet exemple le poids le plus bas), tandis que \bar{u}_n constitue le report dans la tétrade suivante de l'additionneur de somme. On obtient ainsi la décision de correction en réalisant par un montage la relation logique suivante :

$$\begin{aligned} K_e &= S_1 \cdot S_2 + S_1 \cdot S_3 + \bar{u}_n \quad (\text{décision de correction}) \\ &= S_1 \cdot (S_2 + S_3) + \bar{u}_n. \end{aligned}$$

La condition $S_1 \cdot S_2 + S_1 \cdot S_3$ est obtenue par les pseudo-décimales, tandis que la condition \bar{u}_{n-1} est obtenue par le report dans l'ordre d'unité suivant de l'additionneur de somme. Pour l'addition, il peut y avoir un report valable dans la tétrade suivante par adjonction additive d'un six à la pseudo-décimale. Lorsque la tétrade de somme suivante est un neuf, ce transfert peut être la cause de la nécessité d'une nouvelle addition de correction, du fait qu'il se forme la pseudo-décimale dix = L O L O. Pour empêcher que ce report produit dans l'additionneur de correction doive nécessairement être travaillé séparément dans la tétrade suivante, ce qui est aussi nécessaire pour des valeurs différentes de neuf de la tétrade de somme, aucun report n'est, en principe, envoyé dans la tétrade suivante sur l'additionneur de correction. Le train d'impulsions $h_1 + h_5 + \dots$, qui vient de la centrale génératrice d'impulsions et qui fournit au début de chaque durée de tétrade une impulsion, efface alors sur l'additionneur de correction le basculeur de report 45. En même temps, lorsqu'il y avait un report, le basculeur de report 48 de l'additionneur principal est mis en action par l'intermédiaire d'une grille ou porte 46 à l'entrée 47 de laquelle se trouve ce train d'impulsions. A l'entrée 49 de la grille 46, il y a la grandeur de manœuvre \bar{u}_{n-1k} , à savoir le report constant depuis le début de la nouvelle durée de la tétrade dans cette dernière. On voit ainsi que le train d'impulsions $h_1 + h_5 + \dots$ ne coïncide pas avec la première impulsion de synchronisation s de chaque tétrade, mais apparaît un peu plus tard, après que les états établis par l'impulsion s se sont déjà complètement amorcés. Les impulsions h_1 se trouvent avantagusement au milieu

entre deux impulsions s . Les impulsions du train $h_1 + h_5 + \dots$ apparaissent toujours lorsque la demi-durée du premier chiffre binaire de chaque tétrade a été effacée. La fig. 4b représente un exemple de réalisation légèrement modifié de ce dispositif de manœuvre. On utilise ici, pour effacer le basculeur de report 45, un additionneur de correction et, pour transférer le report tétradique dans le basculeur de report 48 de l'additionneur principal, le train d'impulsions $s_1 + s_5 + \dots$ coïncidant exactement dans le temps avec la première impulsion de synchronisation s de chaque premier chiffre binaire dans les tétrades. Comme additionneur de correction, il faut employer la même forme de réalisation que celle du soustracteur additionneur, comme représenté à la fig. 4a pour l'additionneur principal. Ceci est représenté à la fig. 4b par les montages de conjonction et de disjonction 50, 51, 52, 53, 54 avec les entrées 20, 21, 55, 56, 57, 58, 59 et 60. La grandeur de manœuvre \bar{u}_{nk} , se trouvant à la sortie de la disjonction 54 produisant le report dans l'ordre d'unité suivant, fournit alors déjà d'elle-même à la fin de la dernière durée des chiffres binaires de chaque tétrade une affirmation univoque pour savoir si un report dans la tétrade suivante se fait ou ne se fait pas. \bar{u}_{nk} est dirigé comme grandeur de manœuvre sur la grille 61 qui met en action, avec le même train d'impulsions $s_1 + s_5 + \dots$ pour une condition de coïncidence, le basculeur de report 48 de l'additionneur principal. Comme avis définitif de correction, on a, en outre, indiqué à l'avant le montage logique correspondant à la relation $S_1 \cdot S_2 + S_1 \cdot S_3 + \bar{u}_{n-1}$. Il faut encore déterminer le moment où cet avis de décision doit se faire. Dans l'exemple représenté, le registre à décalage a été constitué avec quatre chiffres, les ordres binaires S_1 à S_4 de la tétrade de somme étant ainsi disponibles dans les quatre basculeurs du registre à décalage de la tétrade de somme à la fin de cette tétrade et, lorsque \bar{u}_n se trouve dans l'additionneur de somme, le report étant disponible dans la tétrade suivante. L'ordre binaire ayant le plus faible poids S_4 est toutefois égal qu'il soit corrigé ou qu'il soit non corrigé, étant donné que l'on n'additionne ou ne soustrait que 0. Cet ordre binaire n'est pas nécessaire pour l'avis définitif de correction, de sorte qu'il peut déjà venir dans le mécanisme accumulateur principal avant que l'avis définitif ait lieu. Les registres à décalage ne sont, par suite, constitués qu'avec trois chiffres. Toutefois, on peut même réduire à deux le nombre de chiffres des registres à décalage. En effet, pendant la quatrième durée des ordres binaires de la tétrade, S_1 se trouve à la sortie 62 de l'additionneur principal, S_2 sur le basculeur 63 et S_3 sur le basculeur 64 du registre à décalage 7. S_3 ne serait reporté sous cette forme dans le mécanisme accumulateur principal qu'avec l'impulsion de synchronisation s à la fin de la durée des chiffres binaires. L'avis définitif de correction doit donc être

effectué au préalable et le chiffre binaire correct S_3 (corrigé ou non) doit également être amené dans l'accumulateur. On peut alors employer une impulsion h_4 se trouvant devant l'impulsion de synchronisation s terminant la tétrade. Cette impulsion apparaît dans la dernière durée des ordres binaires de chaque tétrade et, en fait, avantageusement dans le temps au milieu de deux impulsions de synchronisation s . L'impulsion de synchronisation succédant à h_4 doit déjà trouver devant elle des états amorcés de la grandeur de manœuvre, tandis que les états de manœuvre établis par l'impulsion de synchronisation précédente doivent, par ailleurs, être travaillés. S'il y a lieu d'effectuer une correction, cette impulsion h_4 doit alors mettre en action un basculeur 65 qui agit sur une commande de manière que les chiffres sortant du registre à décalage 12 parviennent dans le mécanisme accumulateur principal. Si le basculeur n'est pas mis en action, le contenu du registre à décalage 7 vient dans l'accumulateur principal. Cette commande de sélection est produite par deux conjonctions doubles 70 et 71 et une disjonction double 72, conformément à la relation logique : $66.67 + \overline{66}.68, 66$ et $\overline{66}$ étant l'affirmation du basculeur 65, 67 l'affirmation du basculeur 69 du registre à décalage 12 et 68 l'affirmation du basculeur 61 du registre à décalage 7. Une impulsion h_3 apparaissant au milieu de la troisième durée des ordres binaires de chaque tétrade efface de nouveau le basculeur 65, après que les ordres binaires corrigés ou non S_3, S_2 et S_1 de la tétrade de somme sont entrés dans l'accumulateur. La fig. 4c représente une autre forme de réalisation du montage du basculeur 65. L'avis définitif de correction K_e fait avancer, par l'impulsion h_4 , le basculeur 65 sur L lorsqu'il y a lieu d'effectuer une correction et l'avis définitif de correction \overline{K}_e traité en négation par un circuit de négation 70 fait avancer le basculeur 65 par l'impulsion h_4 sur O lorsqu'il n'y a pas lieu d'effectuer une correction. Si une correction ne doit pas être faite plusieurs fois de suite, une impulsion est toujours amenée sur le même côté du basculeur et le basculeur 65 reste à sa position initiale. Pour des registres à décalage à trois chiffres, la sélection de l'ordre correct de la tétrade de somme peut aussi être réalisée de façon que ce soit toujours le contenu du registre à décalage 7 qui entre dans le mécanisme accumulateur principal, mais de façon que, lorsqu'une correction doit être effectuée, le contenu du registre à décalage 12 soit amené par l'impulsion h_4 dans le registre à décalage 7 par l'intermédiaire de montages à portes.

Il y a de nouveau deux tétrades x_1 et x_2 à additionner ou à soustraire. La fig. 5 montre la façon dont les deux termes de la somme entrent depuis deux voies 1 et 2 de l'accumulateur à circulation dans l'additionneur-soustracteur 3, le terme additionné se présentant à l'entrée 4 de l'additionneur et le terme à additionner à l'entrée 5 de cet addition-

neur. Pour la soustraction, le terme soustrait est introduit par l'entrée 4 et le terme à soustraire par l'entrée 5. Le terme de l'additionneur se présentant à la sortie 6 est dirigé dans le registre à décalage ou ligne à retard 7. Du registre à décalage 7, le terme qui sort est dirigé, d'une part, directement et, d'autre part, en passant par l'additionneur de correction 8, au montage de sélection 74. L'avis définitif de correction 73 est influencé par le contenu du registre à décalage 7 et produit, de son côté, dans le montage de sélection 74, la sélection de la ligne correspondante. Les additionneurs-soustracteurs 3 et 8 sont montés d'une façon purement binaire, c'est-à-dire qu'ils comportent deux entrées et une sortie. Le registre à décalage 7 peut être construit avec des montages basculeurs bistables qui doivent être avancés par des impulsions de cadence. La sélection 74 est constituée par deux conjonctions rassemblées par voie disjonctive du côté de la sortie. L'avis définitif de correction est formé, en règle générale, par un mécanisme de conjonction fournissant l'affirmation de correction et un mécanisme de disjonction, l'affirmation directe ouvrant l'un des trajets et sa négation l'autre trajet. La somme définitive entre dans le registre 1 réduite de deux ordres binaires, cette réduction avec retard ayant été produite par la ligne à retard 7, afin que le contenu de l'accumulateur ne se décale pas lors de la circulation par rapport à une position initiale définie. La fig. 6 représente une forme de réalisation d'un tel mécanisme de correction, un registre à décalage constitué par deux montages basculeurs bistables 88 et 92 étant choisi, dans ce cas, comme ligne à retard et des impulsions intermédiaires h , qui se trouvent dans le temps entre les impulsions s amorçant dans chaque cas les durées des ordres binaires, étant employées comme fonctions de commande. On peut éviter facilement la formation de ces impulsions intermédiaires h dans une réalisation quelque peu modifiée, mais il faut alors avoir au moins trois montages basculeurs bistables comme accumulateurs intermédiaires dans la ligne à retard. Aux dessins annexés, le cercle clair désigne un nœud ou circuit de conjonction et le cercle noir un nœud ou circuit de disjonction d'affirmations de manœuvre. Un point caractérise à chaque fois la sortie des divers étages. Les éléments de négation sont désignés par N et les portes à impulsions par G. Ces portes G ont, en plus de l'entrée de manœuvre, une entrée pour les impulsions de synchronisation « s » ou les impulsions intermédiaires « h ». Une impulsion en liaison avec une grandeur correspondant à L à la sortie de manœuvre fournit à la sortie d'une porte G une impulsion pour faire avancer un étage basculeur bistable. Dans les étages basculeurs bistables, les entrées des impulsions sont désignées par des flèches, alors que les sorties pour les grandeurs de manœuvre de plus longue durée ne sont pas caractérisées. La fig. 6 représente de nouveau les deux

voies d'accumulation 1 et 2. La voie 1 est réduite de deux ordres binaires. Les sorties de l'accumulateur dirigent les grandeurs de manœuvre représentant les chiffres aux entrées 4 et 5 de l'additionneur. Les grandeurs « barre » $\bar{4}$ et $\bar{5}$ des sorties d'accumulateur sont également dirigées sur l'additionneur principal. Les grandeurs « barre » sont établies par les éléments de négation 116 et 117. Le premier additionneur binaire, l'additionneur principal pour l'addition en série des chiffres binaires, y compris le retard de report associé, sont formés d'une manière connue par les éléments suivants :

1° Des conjonctions 75, 76, 77 et 78, ainsi qu'une disjonction 81 pour la formation 85 des sommes binaires;

2° Une conjonction 79 et la porte à impulsions 81 pour la mise en action du montage basculeur 83 en vue du retard du report. Au cours de ces opérations, on emploie le système désigné d'une façon générale par procédé par écran, du fait que le temps de transit des grandeurs de commande vers le point de durée d'impulsion laisse toujours encore efficace l'état précédent;

3° Une conjonction 80 et la porte à impulsions 82 pour la mise hors d'action du montage basculeur de report 83;

4° Un montage basculeur 83 pour retarder le report.

La ligne à décalage, influencée par le train d'impulsions de synchronisation s amorçant chaque durée des chiffres binaires et faisant à chaque fois avancer le contenu d'un ordre, est constituée par :

1° Un circuit de négation 127 pour la formation de la somme binaire « barre » 85;

2° Des portes à impulsions 86, 87, 90 et 91;

3° Des montages bistables 88 et 92.

Pour l'additionneur de correction 8, on peut employer une forme plus simple. La somme binaire est formée de la même façon que dans l'additionneur principal 3 par les conjonctions 95, 96, 97, 98 et par la disjonction 103. On dirige sur l'additionneur de correction 8, d'une part, le terme de sortie 93, $\bar{93}$ venant de la ligne à retard 7 et, d'autre part, la valeur de correction 94, $\bar{94}$.

La valeur de correction 94 ou sa négation $\bar{94}$ est un méandre de manœuvre de la demi-fréquence des chiffres, étant donné que la série de tétrades relative aux chiffres décimaux six correspond à la série O L L O, O L L O... Les endroits de commutation du méandre 94 sont donc à placer de façon que ce dernier prenne la valeur L pendant les deux durées moyennes des chiffres binaires de chaque tétrade. Le montage de report est aussi égal, avec la conjonction 99 et la porte à impulsions 100 à l'entrée de laquelle sont dirigées les impulsions de synchronisation s , à celui de l'additionneur principal 3. La mise hors d'action du montage basculeur 101 servant à retar-

der le report se simplifie toutefois considérablement, du fait qu'un train d'impulsions $h_1 v h_2 v \dots$ apparaissant au milieu de chaque première durée des chiffres binaires de la tétrade produit toujours une mise hors d'action. Le montage basculeur de report peut alors être intercalé dans l'un des deux rangs médians des chiffres binaires des tétrades, étant donné que, dans ce cas, seulement le six contient les grandeurs de manœuvre correspondant aux valeurs binaires L. Mais, ce montage basculeur doit toujours rester en action jusqu'à la fin de la durée des tétrades, car un report intercalé dans le second ordre des chiffres binaires fournit aussi avec sûreté, dans le troisième ordre, un report dans le quatrième ordre, étant donné que le report du second ordre fournit avec le L du six un nouveau report. Par contre, l'additionneur de correction 8 ne peut pas être employé ici pour retarder le report dans la tétrade suivante. Le L du report décimal doit être retardé dans l'additionneur principal ou être dirigé dans ce dernier. Il apparaît alors toujours un report décimal, même lorsqu'il y a lieu d'effectuer une correction, un montage basculeur bistable 109 étant intercalé dans ce cas. L'amenée du report décimal dans l'additionneur principal est illustré aux dessins annexés, de façon que la grandeur 110, fournie par le montage basculeur 89, se trouve à l'entrée d'une porte à impulsions 115, à l'entrée de laquelle est dirigé le train d'impulsions $h_1 v h_2 v \dots$.

La porte à impulsions 115 met en action le montage basculeur de report 83 de l'additionneur principal 3. L'avis définitif de correction est réalisé par un montage qui est construit suivant la relation logique suivante :

$$116 v 85.93 v 85.29 = 116 v 85.(93 v 89).$$

Cette relation est reproduite à la fig. 6 par la disjonction 112 et par les conjonctions 113 et 114. La mise en action du montage basculeur 109, qui est alors toujours en action lorsqu'il y a lieu de sélectionner la tétrade corrigée, se fait avec la série $h_4 v h_3 v \dots$ fournissant une impulsion au milieu de chaque quatrième durée des chiffres binaires des tétrades. La mise hors d'action se fait, une durée de chiffres binaires plus tôt, par le train d'impulsions $h_3 v h_2 v \dots$. Le train d'impulsions $h_1 v h_2 v \dots$ peut être le flanc descendant différencié du méandre de manœuvre 94, lorsque ce dernier s'étend avec son L de h_2 à h_4 , cela pouvant se faire sans endommagement. Lors de l'avis définitif de correction, l'expression 25.(33v29) tient compte de la présence d'une pseudo-décimale et 126 représente le cas où il n'y a pas de pseudo-décimale, mais un report dans la tétrade suivante. Dans ce dernier cas, le report n'est amorcé que pour la quatrième durée des chiffres. Le premier ordre binaire des tétrades est prélevé du mécanisme accumulateur avec l'impulsion de synchronisation s_1 et se trouve sur les entrées du méca-

nisme de calcul. Le quatrième ordre binaire parvient au mécanisme de calcul avec l'impulsion de synchronisations s_4 . Le premier ordre binaire est reporté dans l'accumulateur principal après qu'il a parcouru les montages basculeurs 88 et 92 pendant la seconde et la troisième durées des chiffres. Au cours de la sortie de ce premier chiffre dans le mécanisme accumulateur avec s_4 , le montage basculeur 109 était mis hors d'action par le train d'impulsions $h_3vh_7v...$ Le premier chiffre est toutefois égal, qu'il soit corrigé ou non, de sorte qu'il importe peu que ce soit l'une ou l'autre des deux lignes 93 ou 104 qui soit sélectionnée. Au moment de l'avis définitif de correction, le second chiffre binaire de la tétrade de somme se trouve en 93, le troisième chiffre en 89 et le quatrième en 85. Ce sont les trois chiffres binaires qui sont déterminants pour l'indication des pseudo-décimales.

La fig. 7 représente la partie du mécanisme de correction qui varie quant à sa conception en ce qui concerne l'addition et la soustraction. Dans l'additionneur principal 3, les conjonctions 79, 80 du montage de report ont été augmentées de la troisième grandeur d'entrée 117. Cette dernière est alors toujours un L lorsqu'il y a lieu d'effectuer une addition. Pour la soustraction, il est nécessaire d'avoir un autre montage de mise en et hors d'action pour le report, cette mise en et hors d'action étant produite par les conjonctions 118 et 119 sur lesquelles s'applique la grandeur de commande 120 qui ne prend une valeur correspondant à L que pour la soustraction. La possibilité de mise en et hors d'action pour l'addition et la soustraction est rendue « ou » par les disjonctions 121 et 122. Dans l'additionneur de correction 8, la conjonction 99 a été augmentée de la troisième grandeur d'entrée 117 pour la mise en action du report. Pour la soustraction, il est nécessaire d'avoir une autre mise en action du report, qui est produite par la conjonction 123 sur laquelle s'applique la grandeur de commande 120. Les deux possibilités de mise en action sont rendues « ou » par l'intermédiaire de la disjonction 124. Les deux additionneurs, à savoir l'additionneur principal et l'additionneur de correction, sont commutés de la même manière et par l'intermédiaire de la même ligne pour l'exécution des opérations d'addition ou de soustraction.

Les étages basculeurs bistables sont construits techniquement suivant une réalisation analogue à celle des étages basculeurs connus à tubes et, suivant une autre forme de réalisation, également d'une manière analogue aux montages basculeurs connus comportant chacun deux transistors. Les circuits de négation sont des étages à inversion de phases. Les circuits de conjonction et les circuits de disjonction sont constitués dans cet exemple comme des nœuds ou circuits à diodes ou à redresseurs. Comme portes à impulsions, on emploie les portes connues à

triodes avec une double alimentation sur la grille ou une alimentation par l'intermédiaire d'une résistance cathodique et les portes avec tubes à double commande ou aussi montages de coïncidence à diodes.

RÉSUMÉ

Mécanisme de calcul pour l'addition et la soustraction de deux nombres décimaux avec correction de la somme de deux nombres décimaux codés en tétrades, cette somme étant produite dans un additionneur binaire et les chiffres décimaux, ainsi que les chiffres binaires des tétrades, entrant successivement dans le mécanisme de calcul, remarquable notamment par les caractéristiques suivantes, considérées séparément ou en combinaison :

1° La correction tétradique nécessaire tant pour l'addition qu'également pour la soustraction est effectuée par un additionneur-soustracteur principal binaire qui peut être commuté sélectivement sur addition ou sur soustraction et dans lequel on forme la somme des deux tétrades de sortie devant éventuellement encore être corrigée, ainsi que par un additionneur-soustracteur analogue servant à l'addition et à la soustraction de la valeur de correction avec la tétrade de somme sortant de l'additionneur-soustracteur principal, puis par deux registres à décalage ou lignes à retard, dans lesquels viennent la tétrade de somme corrigée et la tétrade de somme non corrigée et par un dispositif sélecteur qui permet de choisir, après avoir décidé s'il y a lieu ou non d'effectuer la correction, le registre à décalage avec la tétrade de somme corrigée ou le registre à décalage avec la tétrade de somme non corrigée;

2° Lorsque le mécanisme de calcul est employé dans des petites calculatrices électroniques, la correction est effectuée tant pour l'addition qu'également pour la soustraction par un additionneur-soustracteur principal binaire qui peut être commuté sélectivement sur addition ou sur soustraction et dans lequel on forme la somme binaire devant éventuellement encore être corrigée des deux chiffres décimaux des opérateurs, par un second additionneur-soustracteur simplifié servant à l'addition et à la soustraction du mécanisme de correction avec la tétrade de somme sortant de l'additionneur-soustracteur principal, une ligne à retard étant intercalée entre l'additionneur-soustracteur principal et l'additionneur-soustracteur de correction pour obtenir la valeur de somme à corriger jusqu'à ce qu'il y ait décision en ce qui concerne la correction, après quoi les ordres d'unité de la somme, qui sont sortis directement de la ligne à retard ou bien qui ont traversé l'additionneur de correction, sont sélectionnés pour obtenir les ordres corrects;

3° L'additionneur-soustracteur principal et l'additionneur-soustracteur de correction sont commutés en commun sur addition et sur soustraction par les mêmes lignes de commande;

4° La sélection de la tétrade de somme corrigée se fait de façon que la sortie en série depuis l'un des deux registres à décalage dans l'accumulateur principal soit bloquée, mais soit ouverte depuis l'autre registre à décalage qui contient les ordres de tétrades corrects devant être sélectionnés;

5° La sélection de la tétrade de somme corrigée ou de la tétrade de somme non corrigée se fait du fait que seul le contenu du même registre à décalage peut convenablement sortir en série pour venir sur une voie de l'accumulateur principal, le contenu de l'autre registre à décalage étant au préalable transféré si cela est nécessaire dans le premier registre;

6° L'accumulateur à circulation servant de registre de calcul est réduit d'un nombre d'ordres binaires égal au nombre d'ordres binaires reçu par les registres à décalage du dispositif de correction;

7° La commutation sélective de l'additionneur-soustracteur principal sur addition ou sur soustraction se fait par deux grandeurs de manœuvre fournies par des lignes de commande, ces grandeurs menant chacune à deux circuits « et » qui contrôlent la mise en et hors d'action du basculeur formant le report dans l'ordre binaire suivant, du fait que, pour l'addition avec une conjonction des deux ordres binaires des termes de la somme et de la grandeur marquant l'addition, le basculeur de report est mis en action et du fait que le report n'est de nouveau mis hors d'action qu'avec une conjonction des deux ordres binaires « barre » des termes de la somme avec la même grandeur de manœuvre, tandis que, pour la soustraction, le basculeur de report est toutefois mis en action avec une conjonction de l'ordre binaire « barre » du terme soustrait, de l'ordre binaire du terme à soustraire et de la grandeur de manœuvre marquant la soustraction, le basculeur de report étant de nouveau amené sur 0 avec la conjonction de l'ordre binaire du terme soustrait, de l'ordre binaire « barre » du terme à soustraire et de la grandeur de manœuvre marquant la soustraction;

8° La commutation sélective de l'additionneur-soustracteur sur addition et sur soustraction se fait par deux grandeurs fournies par des lignes de commande, ces grandeurs menant chacune à deux circuits « et » qui contrôlent la mise en et hors d'action du basculeur formant le report dans l'ordre binaire suivant, du fait que, lorsqu'on a la relation logique suivante :

$$a \cdot b \cdot 20 + \bar{u}_{n-1} \cdot S_1 \cdot 20 - \bar{a} \cdot b \cdot 21 - \bar{S}_1 \cdot \bar{u}_{n-1} \cdot 21$$

avec a désignant le terme à additionner ou le terme soustrait, \bar{a} par exemple le terme à additionner « barre », b le terme à soustraire ou le terme additionné, \bar{u}_{n-1} un report dû à la formation de la somme des deux ordres binaires qui le précèdent dans le temps, S_1 la somme partielle binaire des deux ordres des opérateurs, 20 la grandeur de manœuvre marquant l'addition et 21 la grandeur de manœuvre mar-

quant la soustraction, l'un des L fournit une grandeur de manœuvre correspondante, un report étant envoyé dans l'ordre d'unité suivant, tandis qu'il n'y a pas de report pour la valeur de manœuvre 0;

9° Aucun report provenant de la tétrade précédente n'est travaillé sur l'additionneur de correction, mais un report tétradique éventuellement formé en cet endroit est amené à l'additionneur principal;

10° Une impulsion apparaissant sensiblement au milieu de chaque première durée des ordres binaires des tétrades efface universellement sur l'additionneur de correction le basculeur de report et la même impulsion met ensuite en action le basculeur de report et l'additionneur principal, par exemple par l'intermédiaire d'une porte commandée;

11° Pour effacer le report tétradique dans le basculeur de report de l'additionneur de correction et pour l'amener dans le basculeur de report de l'additionneur-soustracteur principal, on emploie un train d'impulsions coïncidant dans le temps avec l'impulsion de synchronisation amorçant le premier ordre binaire de chaque tétrade;

12° Les registres à décalage comprennent chacun deux ordres binaires et l'ordre de tétrade le plus bas est déjà entré dans le mécanisme accumulateur principal avant d'avoir pris la décision d'effectuer une correction;

13° Une impulsion se trouvant dans le temps dans la dernière durée des ordres binaires de chaque tétrade amorce la sélection des valeurs correctes des tétrades;

14° L'affirmation fournie par la relation logique $(S_1 \cdot S_2 + S_1 \cdot S_3 + \bar{u}_{n-1} = K_e)$ pour savoir s'il y a lieu d'effectuer la correction est immobilisée par un basculeur jusqu'à ce que la tétrade soit transférée dans l'accumulateur principal;

15° Une impulsion apparaissant pendant la troisième durée des ordres binaires de chaque tétrade efface de nouveau le basculeur;

16° L'affirmation concernant l'avis de décision de la correction est dirigée sur le côté d'entrée du basculeur et l'avis de décision de correction « barre » est dirigé sur le côté de sortie de ce basculeur, de manière qu'une affirmation correspondant à « L » amène en coïncidence avec une impulsion de courte durée le côté associé du basculeur sur « L » et que cette impulsion de courte durée apparaisse pendant la quatrième durée des ordres binaires de la tétrade;

17° La valeur de correction correspondant au sixième binaire est amenée à l'additionneur de correction sous la forme d'un méandre non commandé, dont les ordres de commutation se trouvent à la fin du premier et du troisième ordre binaire de chaque tétrade;

18° En particulier dans le cas d'un codage tétradique direct des chiffres décimaux, la mise hors d'action du basculeur retardant le report se fait tou-

jours de prime abord à l'état non commandé par la circulation des chiffres à la fin de la durée des tétrades;

19° L'additionneur-soustracteur principal et l'additionneur-soustracteur de correction sont commutés en commun sur addition et sur soustraction par les mêmes lignes de commande;

20° Le report décimal est toujours amené à l'additionneur principal du fait que le basculeur retardant le report de l'additionneur principal est toujours mis en action, lorsqu'une correction est nécessaire pendant le laps de temps relatif au chiffre binaire de la tétrade se présentant en premier dans le temps;

21° La ligne de retard reçoit autant de valeurs binaires que chaque chiffre décimal contient de chiffres binaires;

22° La ligne de retard reçoit moins de valeurs binaires que chaque chiffre décimal contient de

chiffres binaires, notamment dans le cas d'un codage tétradique où la ligne de retard retarde au minimum deux chiffres binaires;

23° La valeur de correction correspondant au « six » binaire est amenée à l'additionneur de correction sous la forme d'un méandre non commandé de la demi-fréquence des chiffres binaires du mécanisme de calcul;

24° La sélection de la valeur de tétrade corrigée ou de la valeur de tétrade non corrigée ne commence qu'à la fin de la sortie du premier chiffre binaire.

Entreprise dite :

VEB ELEKTRONISCHE RECHENMASCHINEN
WISSENSCHAFTLICHER INDUSTRIEBETRIEB
KARL-MARX-STADT

Par procuration :

Cabinet MADEUF

VEB Elektronische Rechenmaschinen

Wissenschaftlicher Industriebetrieb Karl-Marx-Stadt

Fig.1

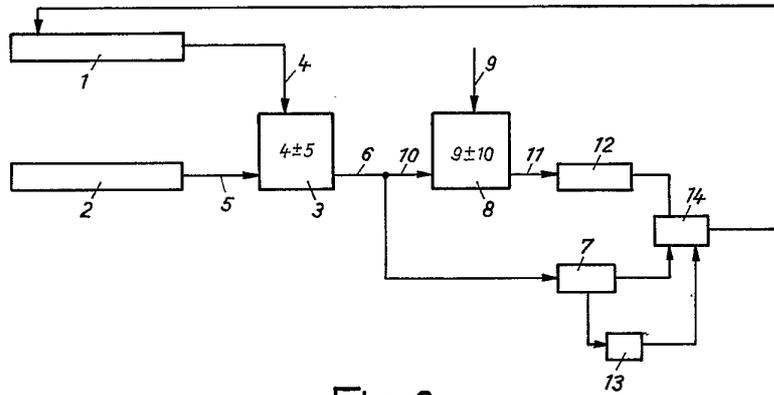


Fig.2

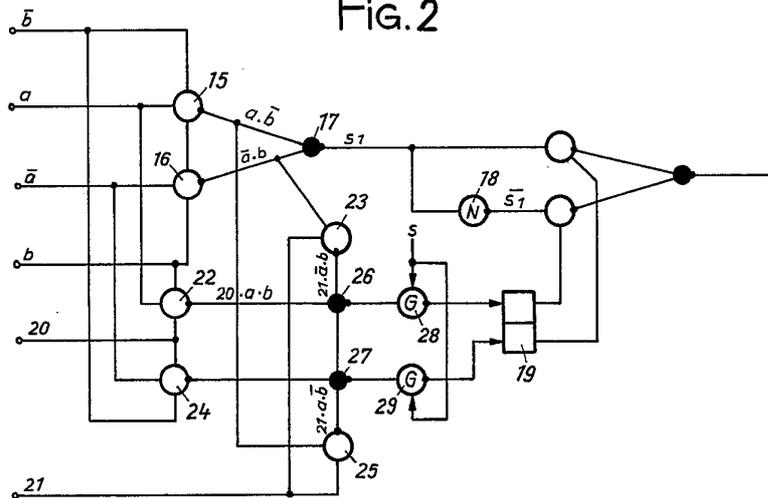
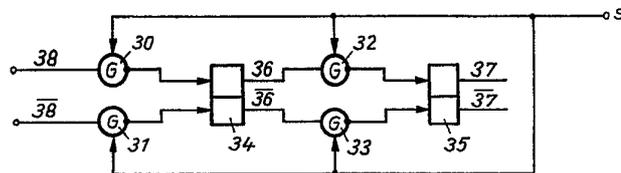


Fig.3



VEB Elektronische Rechenmaschinen
 Wissenschaftlicher Industriebetrieb Karl-Marx-Stadt

Fig.4. b.

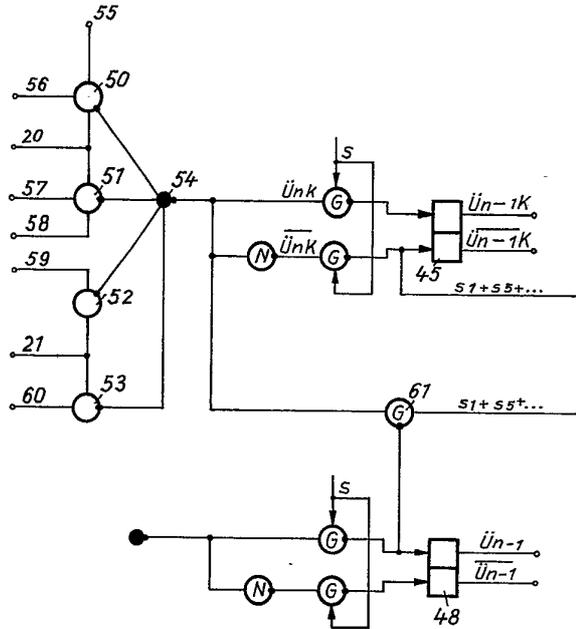


Fig.4. c

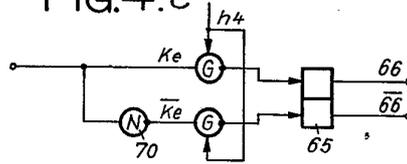


Fig.8

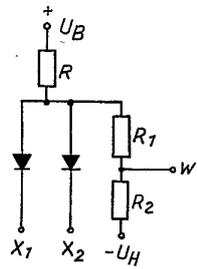


Fig.9

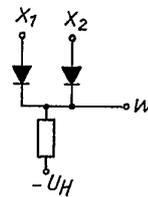


Fig.5

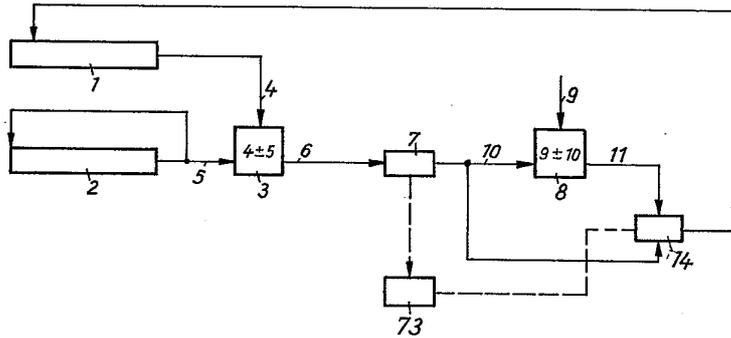
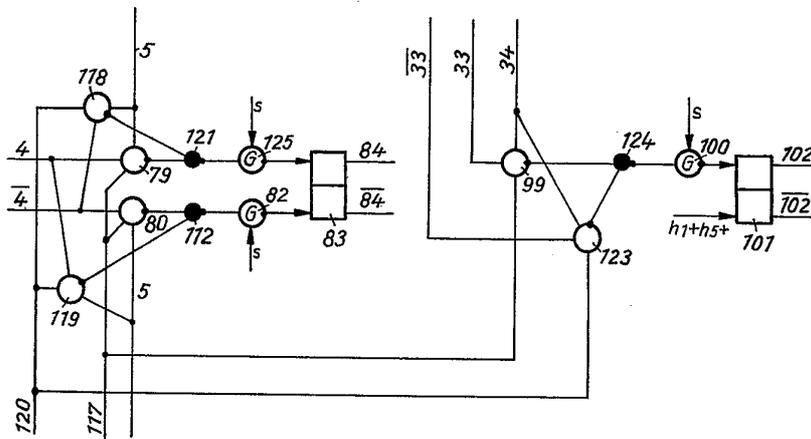


Fig.7



VEB Elektronische Rechenmaschinen

Wissenschaftlicher Industriebetrieb Karl-Marx-Stadt

Fig.6

